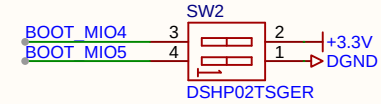
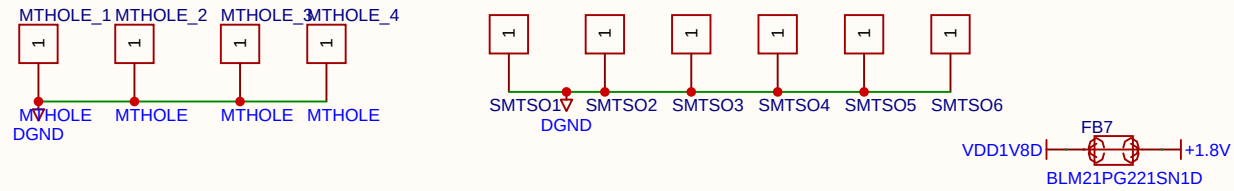


Revision History

Rev.code	Date	Description
V1.0.0	2025.06.12	Initial version
V1.1.0	2026.06.15	1.Replace PHY chip with RTL8211F. 2.Optimize the circuit design of USB OTG

原理图	Schematic			更新日期	
				创建日期	
图页	Revision			物料编码	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页 1 共 15	
		V1.1.0	A4	Mind Instrument	



BOOT_MIO5 BOOT_MIO4 MODE
OFF ON SD
ON OFF JTAG
ON ON NAND
OFF OFF QSPI

PLL mode: PLL Used
MIO0 Voltage: 2.5V/3.3V
MIO1 Voltage: 1.8V

B35 L11 P PL HDMI CK P
B35 L11 N PL HDMI CK N
B35 L17 P PL HDMI D0 P
B35 L17 N PL HDMI D0 N
B35 L18 P PL HDMI D1 P
B35 L18 N PL HDMI D1 N
B35 L7 P PL HDMI D2 P
B35 L7 N PL HDMI D2 N
B35 L6 P PL SDA1
B35 L19 P PL SCL1
B35 L6 N PL HDMI DET

B35 L13 N PL ETH RXCTL
B35 L5 P PL ETH RXD0
B35 L5 N PL ETH RXD1
B35 L3 N PL ETH RXD2
B35 L3 P PL ETH RXD3
B35 L13 P PL ETH RXCK
B35 L19 N PHY2 INT
B35 L2 P PL ETH TXCK
B35 L2 N PL ETH TXD0
B35 L1 N PL ETH TXD1
B35 L1 P PL ETH TXD2
B35 L4 P PL ETH TXD3
B35 L4 N PL ETH TXCTL
B35 L15 P PL ETH MDC
B35 L15 N PL ETH MDIO

B35 IO25 CAN TXD
B35 IO0 CAN RXD

B35 L20 P PL UART TX
B35 L20 N PL UART RX
B35 L12 N BEEP

B35 L22 N PL SCL0
B35 L22 P PL SDA0

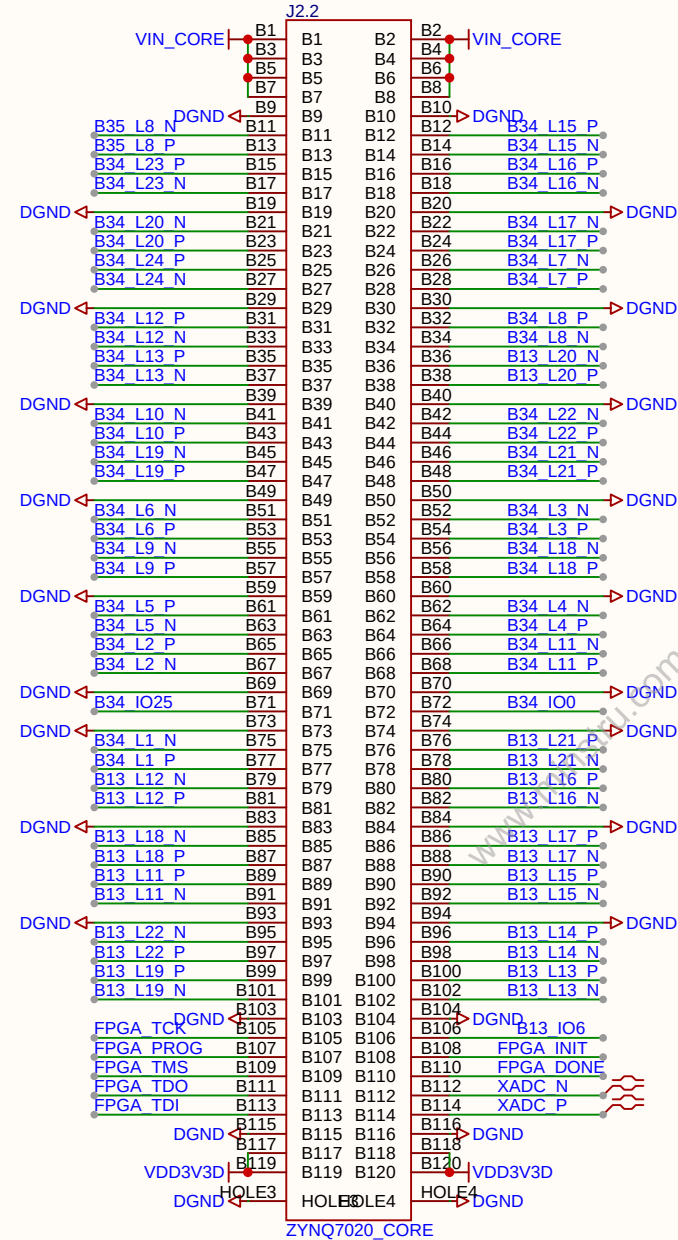
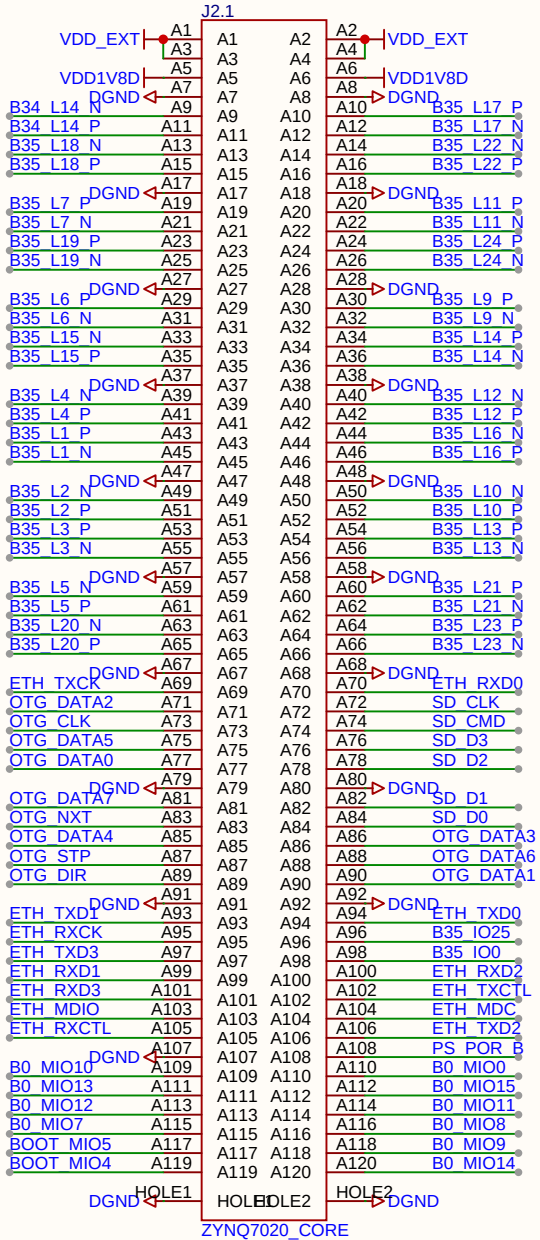
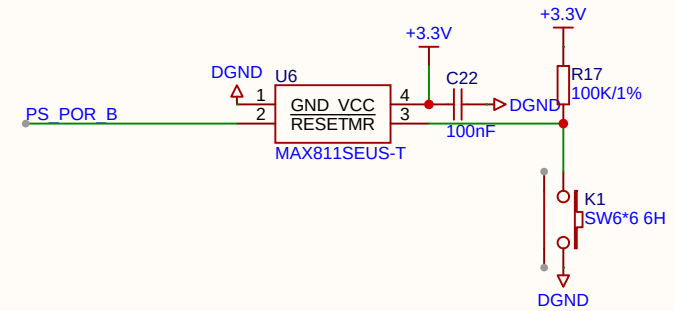
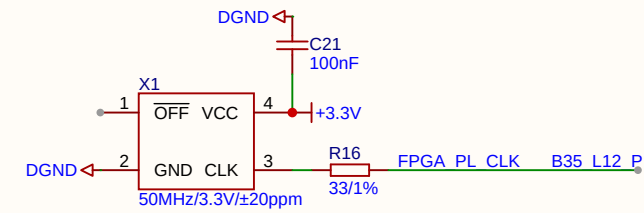
B35 L21 P PL LED0
B35 L21 N PL LED1
B35 L23 P PL KEY0
B35 L23 N PL KEY1

B0 MIO0 PS KEY0
B0 MIO11 PS KEY1
B0 MIO7 PS LED0
B0 MIO8 PS LED1

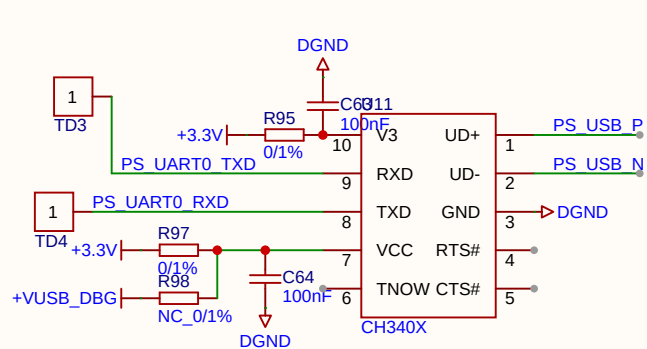
B0 MIO9 SD CD
B0 MIO10 OTG RESETN

B0 MIO14 PS UART0 RXD
B0 MIO15 PS UART0 TXD

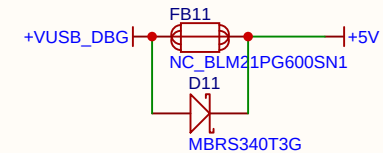
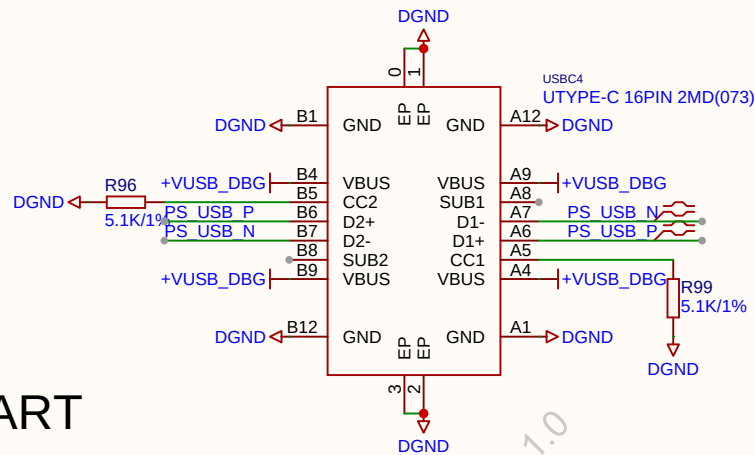
EXT_IO可以作为PS_UART1



原理图	Schematic			更新日期	
图页	core_connects			创建日期	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页	3 共 15
		V1.1.0	A3	Mind Instrument	

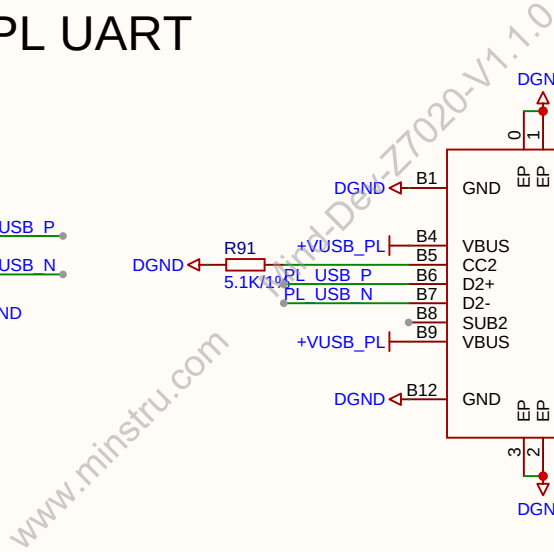


PS DBG UART

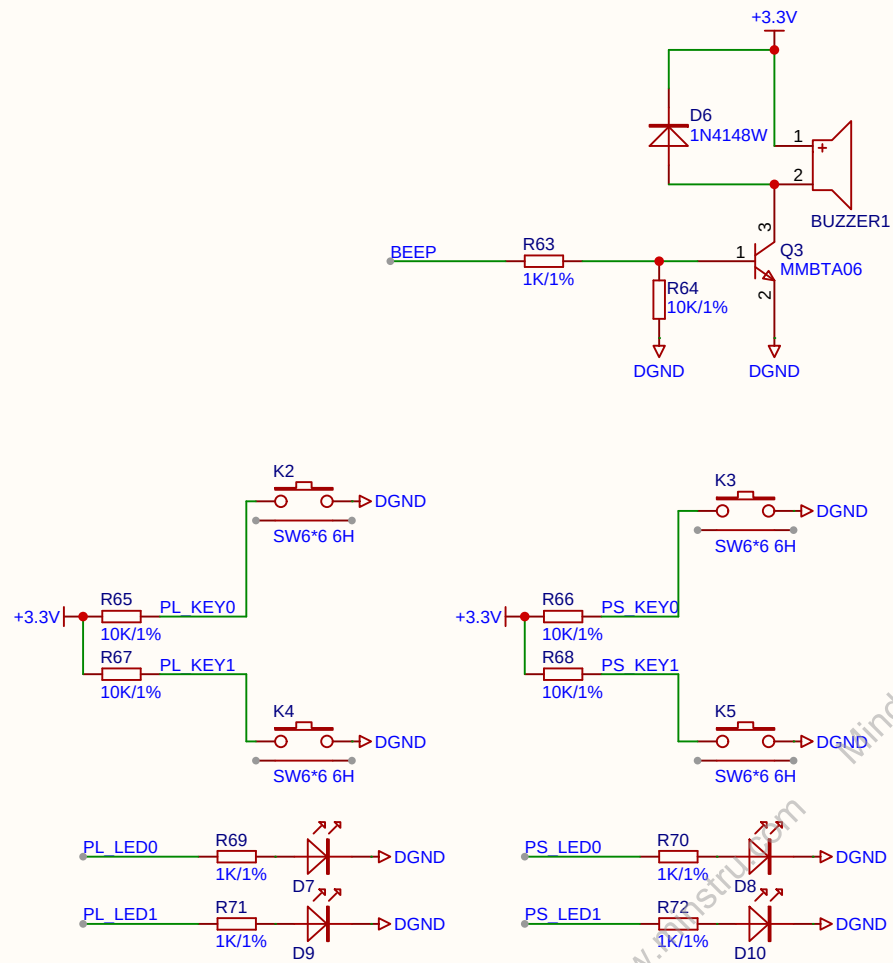


原理图	Schematic			更新日期	
图页	ps_debug			创建日期	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页 5 共 15	
嘉立创EDA		V1.1.0	A4	Mind Instrument	

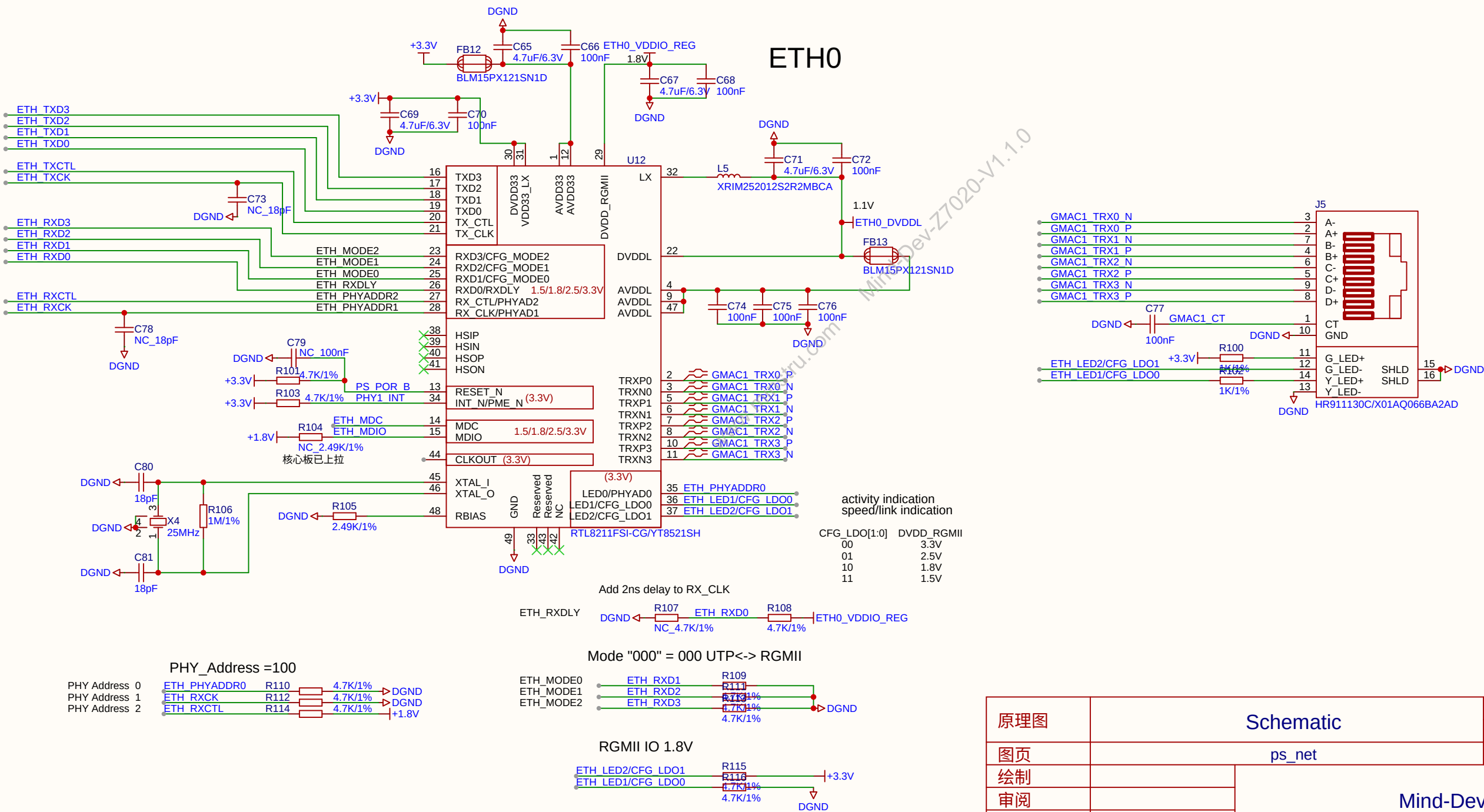
PL UART



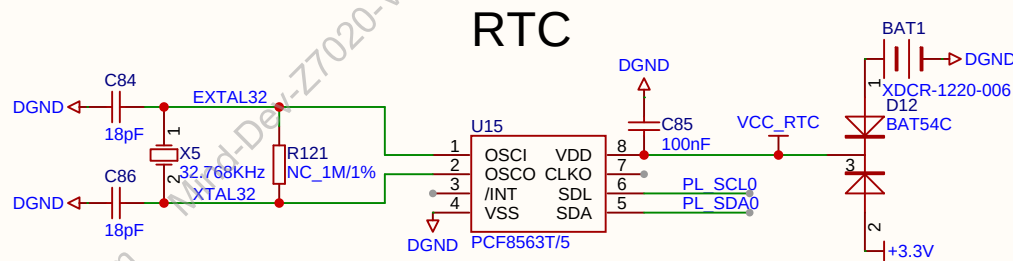
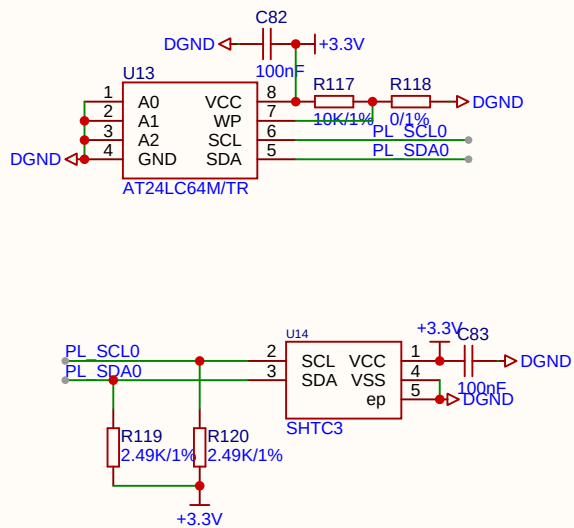
原理图	Schematic			更新日期	
图页				创建日期	
绘制	pl_uart			物料编码	
审阅	Mind-Dev-Z7020-V1.1.0				
		版本	尺寸	页	6 共 15
		V1.1.0	A4	Mind Instrument	



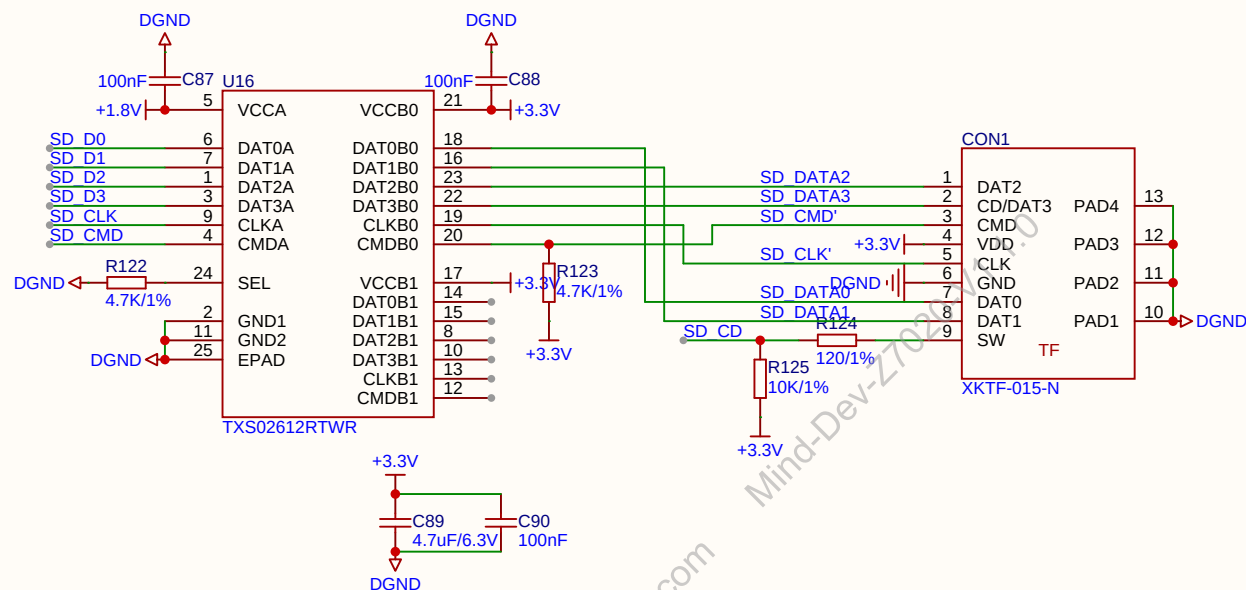
原理图	Schematic			更新日期	
				创建日期	
图页	led_key			物料编码	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页 7 共 15	
嘉立创EDA		V1.1.0	A4	Mind Instrument	



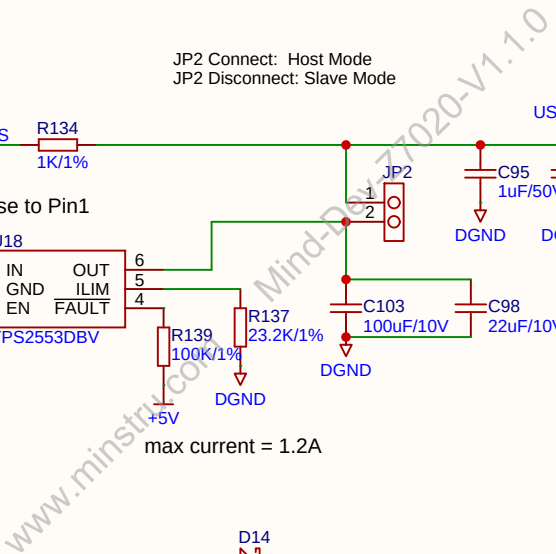
原理图	Schematic	更新日期	
		创建日期	
图页	ps_net	物料编码	
绘制	Mind-Dev-Z7020-V1.1.0		
审阅			
	版本	尺寸	页 8 共 15
嘉立创EDA		V1.1.0	Mind Instrument

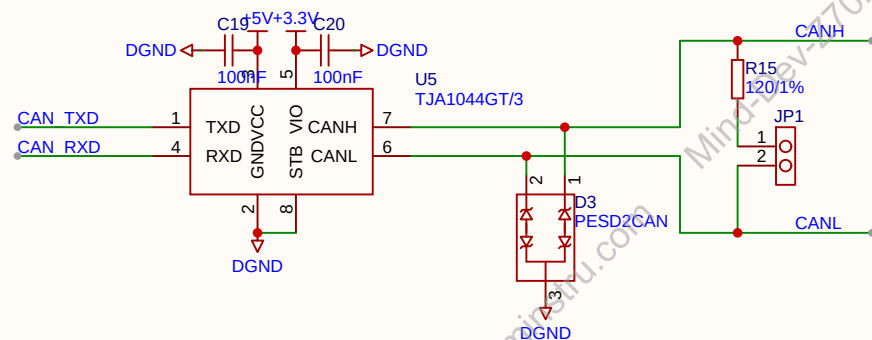


原理图	Schematic			更新日期	
图页	sensor_e2prom_rtc			创建日期	
绘制	Mind-Dev-Z7020-V1.1.0				
审阅					
	版本	尺寸	页 10 共 15		
	V1.1.0	A4	Mind Instrument		

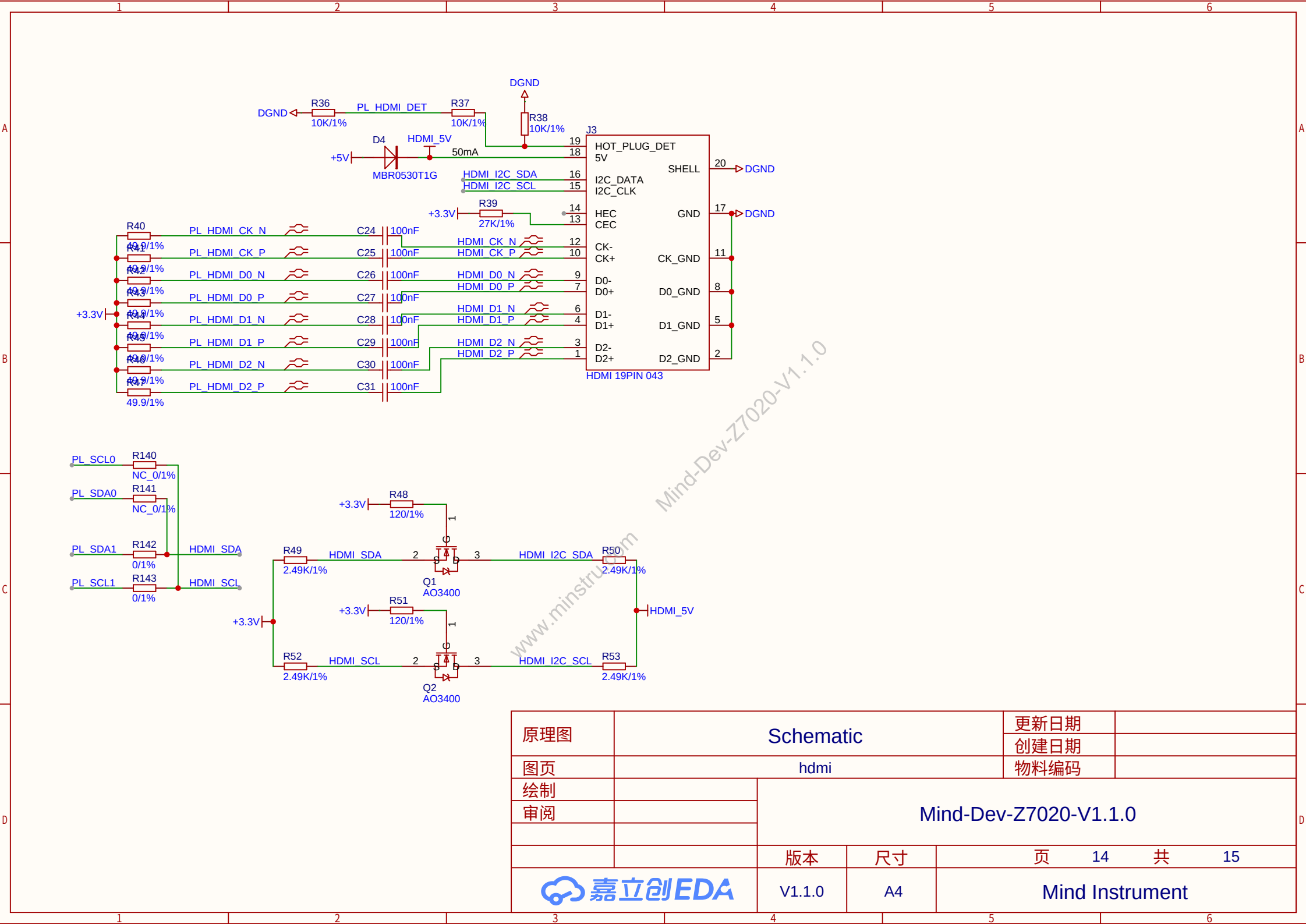


原理图	Schematic			更新日期	
图页	tf-card			创建日期	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页 11	共 15
嘉立创EDA		V1.1.0	A4	Mind Instrument	

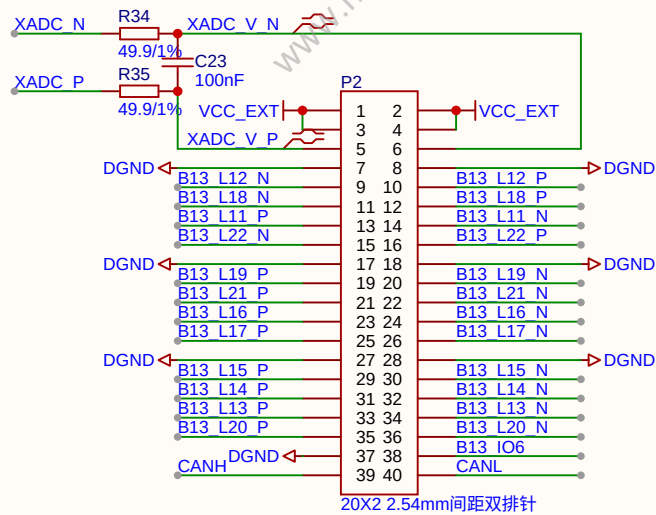
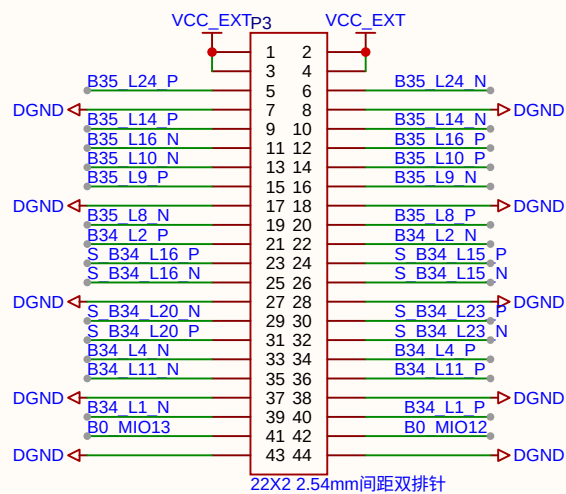
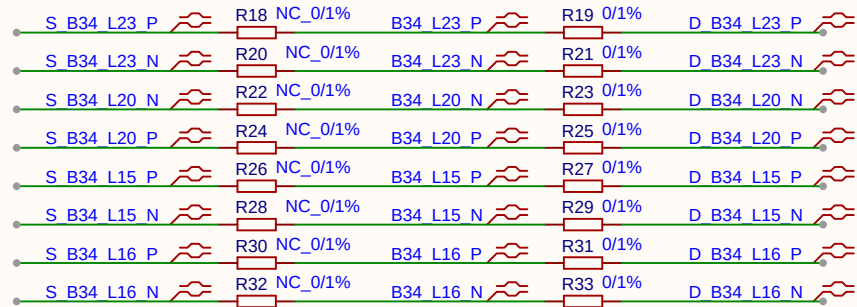
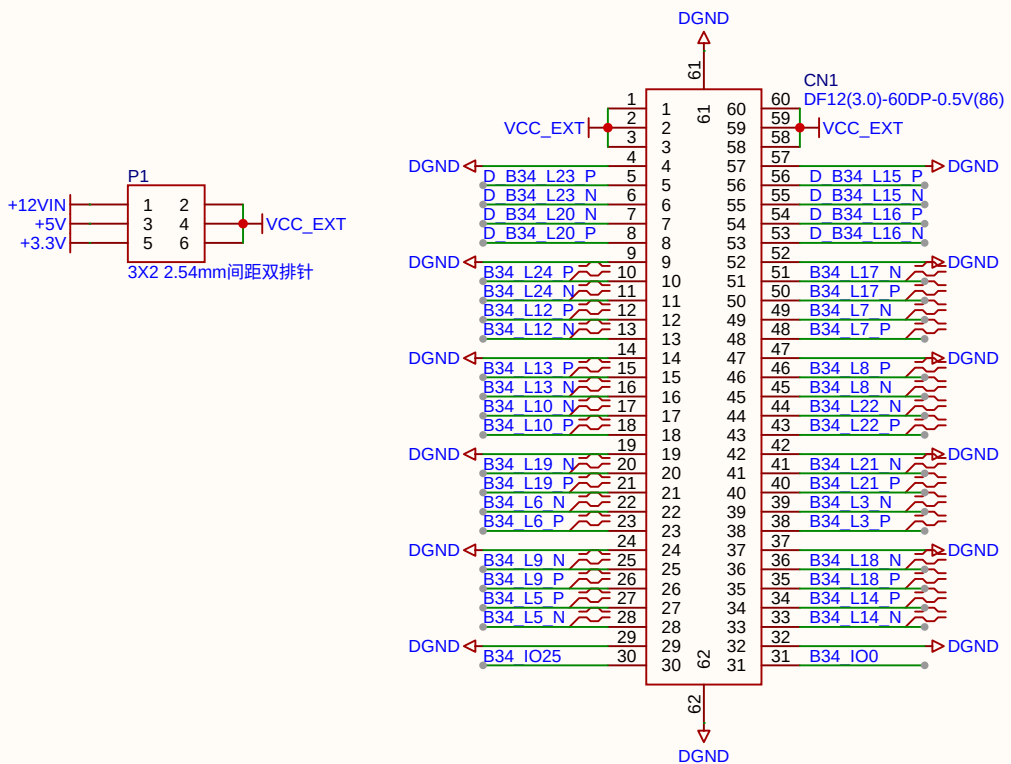




原理图	Schematic			更新日期	2026-08-13
				创建日期	
图页	can			物料编码	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页 13	共 15
嘉立创EDA		V1.1.0	A4	Mind Instrument	



原理图	Schematic			更新日期	
图页	hdmi			创建日期	
绘制		Mind-Dev-Z7020-V1.1.0			
审阅					
		版本	尺寸	页 14	共 15
嘉立创EDA		V1.1.0	A4	Mind Instrument	



原理图	Schematic	更新日期	
		创建日期	
图页	ext_connects	物料编码	
绘制	Mind-Dev-Z7020-V1.1.0		
审阅			
		版本	尺寸
		V1.1.0	A3
嘉立创EDA		页	15 共 15
		Mind Instrument	